



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 1 4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 3 6 8 4 7  
Application Number:

[ST. 10/C]:                      [ J P 2 0 0 3 - 0 3 6 8 4 7 ]

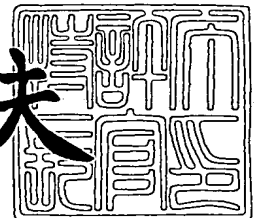
出      願      人                      川 崎 マ イ ク ロ エ レ ク ト ロ ニ ク ス 株 式 会 社  
Applicant(s):



2 0 0 3 年 1 1 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 6 8 2 3

【書類名】 特許願

【整理番号】 02J01328

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8246  
H01L 21/76

【発明の名称】 半導体装置および半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 3 番地 川崎マイクロエレクトロニクス株式会社内

【氏名】 久野 勇

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 3 番地 川崎マイクロエレクトロニクス株式会社内

【氏名】 片桐 智治

【特許出願人】

【識別番号】 501285133

【氏名又は名称】 川崎マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100079175

【弁理士】

【氏名又は名称】 小杉 佳男

【選任した代理人】

【識別番号】 100094330

【弁理士】

【氏名又は名称】 山田 正紀

## 【手数料の表示】

【予納台帳番号】 006840

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111601

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 所定の導電型の素子形成領域の表面層内に絶縁物が埋め込まれた、分離領域が配置された半導体基板上に、該分離領域の両側に形成された、該素子形成領域とは導電型が異なる拡散層、および該拡散層それぞれに接続された電極を有するアンチヒューズ素子と、該アンチヒューズ素子の電極相互間に、所定電圧を越える過電圧を印加して該電極相互間を非導通状態から恒久的な導通状態に変化させる、書込回路を構成するトランジスタ素子とを備えたことを特徴とする半導体装置。

【請求項 2】 前記素子形成領域の前記分離領域に埋め込まれた絶縁物の下面に接する部分に、前記所定の導電型の不純物が追加されたことにより反転層の形成を防止する、チャネルストップが形成されてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記アンチヒューズ素子は、前記配線電極のうちの少なくとも 1 つがアルミニウム又はアルミ合金からなるものであって、前記書き込み回路から該電極相互間に前記過電圧が印加されると、前記分離領域を跨いだ前記素子形成領域に前記電極のアルミニウムが侵入して、該電極相互間が恒久的な導通状態に変化するものであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 半導体基板上に、電極相互間への所定電圧を越える過電圧の印加により該電極相互間が非導通状態から恒久的な導通状態に変化するアンチヒューズ素子と、該アンチヒューズ素子に該過電圧を印加する書き込み回路を構成するトランジスタ素子とが形成された半導体装置の製造方法であって、

半導体基板上の所定の導電型の素子形成領域の表面層内に絶縁物が埋め込まれた、分離領域を形成する工程と、

前記分離領域の両側に、該分離領域が形成された素子形成領域とは導電型が異なる拡散層を形成し、該拡散層それぞれに電極を接続してアンチヒューズ素子を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 5】 前記分離領域の形成が、前記分離領域に前記所定の導電型の不

純物を導入することにより、前記素子形成領域の該分離領域に埋め込まれた絶縁物の下面に接する部分の該不純物の濃度を高くする工程を含むことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記アンチヒューズ素子が恒久的な導通状態に変化するのに伴って動作状態が変化する内部回路を構成する、複数のトランジスタ素子相互を素子分離する素子分離領域が、前記分離領域と同時に形成されることを特徴とする請求項4または5記載の半導体装置の製造方法。

【請求項7】 前記複数のトランジスタ素子のうちのMOS型トランジスタ素子のソース用拡散層およびドレイン用拡散層が、前記アンチヒューズ素子の拡散層と同時に形成されることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 所定の導電型の素子形成領域の表面層内に絶縁物が埋め込まれた、分離領域が配置された半導体基板上に、該分離領域の両側に形成された、該素子形成領域とは導電型が異なる拡散層、および該拡散層それぞれに接続された電極を有し、該電極相互間への所定電圧を越える過電圧の印加により非導通状態から恒久的な導通状態に変化する、複数のアンチヒューズ素子と、該複数のアンチヒューズ素子のうちの少なくとも1つのアンチヒューズ素子の、該恒久的な導通状態への変化により所定の特性が得られる内部回路を構成する、複数のトランジスタ素子とを備えたことを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体基板上に形成された複数の素子のうち、特定の素子の電極相互間に過電圧を印加して恒久的な導通状態にすることにより、他の素子により構成される回路が所望の特性となる半導体装置、およびその製造方法に関する。

##### 【0002】

#### 【従来の技術】

従来、半導体装置に含まれるMOSFETタイプのトランジスタの、ゲート電極に閾値よりも大きい電圧を印加するとともにドレイン・ソース間に降伏電圧以上の過電圧を印加すると、ドレインとソース間に導電性フィラメントが形成され

て恒常的な導通状態が得られるように構成し、そのMOSFETトランジスタをプログラム可能な相互接続素子として使用することにより、製造後に、組み込まれた回路をプログラムすることを可能にした半導体装置がある（特許文献1参照）。

#### 【0003】

しかしながら、特許文献1の半導体装置では、プログラムのために、ドレイン・ソース間に高電圧を印加するとともにゲートにも適切な電圧を印加する必要があるため、これらの電圧を供給してプログラム（書き込み）を行う書き込み回路の構成が複雑になる。

#### 【0004】

また、半導体基板上に隣接して形成された拡散層相互間に降伏電圧よりも高い電圧を印加することにより、その拡散層相互間を非導通から導通状態に変化させて書き込みを行うアンチヒューズ素子が提案されている（特許文献2参照）。

#### 【0005】

しかしながら、特許文献2の素子では、降伏電圧よりも低い電圧を印加したときに、リーク電流が流れる初期不良状態が発生する場合がある。

#### 【0006】

さらに、MOSFETタイプのトランジスタの拡散層とチャネル領域との間のPN接合面の、少なくとも一部分の不純物濃度を高くすることにより破壊耐圧を下げ、書き込みを行う際のドレイン・ソース間に印加する電圧を抑制したものがある（特許文献3）。

#### 【0007】

##### 【特許文献1】

特許3204454号公報（段落番号0009～段落番号0021、図1、図2）。

##### 【特許文献2】

US5973380号公報（Detailed Description、FIG1～FIG2）

##### 【特許文献3】

特開 2002-246479 号公報 (段落番号 0020～段落番号 0021、図 2)

#### 【0008】

##### 【発明が解決しようとする課題】

本発明は、上記事情に鑑み、初期状態ではリーク電流が十分に低い非導通状態にあり、かつ、単純な構成の書き込み回路を使って恒久的な導通状態に確実に変化させることができるアンチヒューズ素子を含む半導体装置、およびその製造方法を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成する本発明の半導体装置は、所定の導電型の素子形成領域の表面層内に絶縁物が埋め込まれた、分離領域が配置された半導体基板上に、該分離領域の両側に形成された、該素子形成領域とは導電型が異なる拡散層、および該拡散層それぞれに接続された電極を有するアンチヒューズ素子と、該アンチヒューズ素子の電極相互間に、所定電圧を越える過電圧を印加して該電極相互間を非導通状態から恒久的な導通状態に変化させる、書込回路を構成するトランジスタ素子とを備えたことを特徴とする。

#### 【0010】

このように、アンチヒューズ素子の電極が接続される拡散層が、半導体基板上の表面層内に埋め込まれた分離領域によって分離されているので、初期状態においてリークがなく、かつ、単純な書き込み回路で導通状態に書き込むことができる。

#### 【0011】

上記目的を達成する本発明の半導体装置の製造方法は、半導体基板上に、電極相互間への所定電圧を越える過電圧の印加により該電極相互間が非導通状態から恒久的な導通状態に変化するアンチヒューズ素子と、該アンチヒューズ素子に該過電圧を印加する書き込み回路を構成するトランジスタ素子とが形成された半導体装置の製造方法であって、

半導体基板上的所定の導電型の素子形成領域の表面層内に絶縁物が埋め込まれ

た、分離領域を形成する工程と、

上記分離領域の両側に、該分離領域が形成された素子形成領域とは導電型が異なる拡散層を形成し、該拡散層それぞれに電極を接続してアンチヒューズ素子を形成する工程とを備えたことを特徴とする。

#### 【0012】

このように、素子形成領域の表面層内に絶縁物が埋め込まれた分離領域を形成し、分離領域の両側に、拡散層を形成して電極を接続することによりアンチヒューズ素子が形成されるので、初期状態においてリークがなく、かつ、単純な書き込み回路で導通状態に書き込むことができる。

#### 【0013】

上記の目的を達成する本発明の半導体装置は、所定の導電型の素子形成領域の表面層内に絶縁物が埋め込まれた、分離領域が配置された半導体基板上に、該分離領域の両側に形成された、該素子形成領域とは導電型が異なる拡散層、および該拡散層それぞれに接続された電極を有し、該電極相互間への所定電圧を越える過電圧の印加により非導通状態から恒久的な導通状態に変化する、複数のアンチヒューズ素子と、該複数のアンチヒューズ素子のうちの少なくとも1つのアンチヒューズ素子の、該恒久的な導通状態への変化により所定の特性が得られる内部回路を構成する、複数のトランジスタ素子とを備えたことを特徴とする。

#### 【0014】

このように、過電圧の印加により導通状態に書き込むことができる複数のアンチヒューズ素子を組み込んで内部回路が構成されているので、それらのアンチヒューズ素子を必要に応じて導通状態にすることにより、内部回路の特性を所望の状態にすることができる。

#### 【0015】

##### 【発明の実施の形態】

以下、本発明の半導体装置およびその製造方法の実施形態について説明する。

#### 【0016】

本実施形態の半導体装置にはアンチヒューズ素子、アンチヒューズ素子の電極



相互間に過電圧を印加して、その電極相互間を非導通状態から恒久的な導通状態に変化させる書き込み回路を構成するトランジスタ素子、および内部回路を構成するトランジスタ素子が形成されている。しかし、トランジスタ素子の構造は、周知の構造と同じであり、その部分についての構造の説明は省略し、アンチヒューズ素子が形成される部分の構造について説明する。

#### 【0017】

図1は、本実施形態の半導体装置のうちのアンチヒューズ素子が形成された部分を示す概略断面構成図である。

#### 【0018】

図1に示すように、半導体（シリコン）基板1の表面層には、アンチヒューズ素子を形成するための素子形成領域としてP型ウエル2が形成されている。P型ウエル2内には、分離絶縁物層31が表面付近に形成されるとともに、その下面に接して、チャネルストップ層42が形成された第1の分離領域3が形成されている。チャネルストップ層42はP型の不純物をP型ウエル2に比較して高い濃度で含み、反転層の形成によるリークの発生を防止する。また、この第1の分離領域3の両側には、同様の分離絶縁物層41およびチャネルストップ層42からなる第2の分離領域4が形成されている。そして、第2の分離領域4相互間の、第1の分離領域3を跨ぐ範囲には、P型ウエル2の表面からチャネルストップ層を含む範囲にわたって、P型の不純物をP型ウエル2に比較して高い濃度で含む低耐圧領域（EP領域）5が形成されている。この低耐圧領域5は、特許文献3に記されたように、PN接合の耐圧を下げ、アンチヒューズ素子の書き込み電圧を低下させるために形成される。そして第1の分離領域3と、その両側に配置された第2の分離領域4との間の、低耐圧領域5の表面には、アンチヒューズ素子を形成する、不純物濃度が高いN型の拡散層6が2つ形成されている。

#### 【0019】

P型ウエル2は、例えば加速エネルギー35keV、ドーズ量 $3 \sim 10 \times 10^{12} \text{ cm}^{-2}$ でボロンイオンを注入して形成する。ここで、第1および第2の分離領域3、4の分離絶縁物層31、41は、例えば、分離領域に開口部を有するようにパターンニングされたシリコン窒化膜を耐酸化膜として、開口部の半導体基板

1の表面を選択的に熱酸化（選択酸化）する、公知のLOCOS（Local Oxidation of Silicon）法によって形成することができる。この場合には、開口部の半導体基板1の表面層が熱酸化されたシリコン酸化物の層が、分離絶縁物層31、41として利用される。シリコン酸化物の膜厚は、例えば400～800nmであり、その約半分が、半導体基板1の表面層内に埋め込まれた形状に形成される。チャネルストップ層32、42は、選択酸化を行なう前に、開口部の半導体基板1の表面に例えば加速エネルギー20～30keV、ドーズ量 $1\sim 10\times 10^{13}\text{cm}^{-2}$ でボロンイオン2を注入することによって形成する。低耐圧領域（EP領域）5は、例えばP型ウエル2に加速エネルギー40keV、ドーズ量 $1\sim 3\times 10^{14}\text{cm}^{-2}$ でボロンイオンを追加注入することにより形成する。また、N型の拡散層6は、例えば加速エネルギー75keV、ドーズ量 $1\sim 10\times 10^{15}\text{cm}^{-2}$ で砒素イオンを注入することにより形成する。言うまでもなく、これらの値はプロセスルールによって異なり必ずしもこれらの数値に限定されない。

#### 【0020】

また、図示していないが、N型の拡散層6それぞれには、それぞれ例えばアルミニウムを主成分とし、1wt%（重量%）のシリコンを含むアルミニウム合金（AlSi）などからなる電極とが形成されている。低耐圧領域5は、アンチヒューズ素子と、このアンチヒューズ素子と同一の半導体基板上に形成され、アンチヒューズ素子に過電圧を印加して書き込みを行う書き込み回路を構成するトランジスタ素子とを、単一の製造プロセスで形成する場合には、設けることが好ましい。この場合には、低耐圧領域5によってアンチヒューズ素子の書き込みに必要な書き込み電圧を低下させ、書き込み回路のトランジスタ素子を書き込み時の高電圧印加によって劣化することを防止することができる。一方、書き込み回路を構成するトランジスタ素子を、アンチヒューズ素子製造に使用するプロセスとは異なる製造プロセスで形成することにより、同一半導体基板上に、より高い耐圧を有するトランジスタ素子を形成する場合には、低耐圧領域は不要となる。この場合には、アンチヒューズ素子の書き込み電圧を低下させなくても、書き込み回路のトランジスタ素子の耐圧を高くすることにより、書き込み時の劣化を防止

することができる。

### 【0021】

ここで、図1に示されたように、LOCOS法によって形成された分離絶縁物層31、41は、半導体基板1（P型ウエル2）の表面から、この表面より上の所定の高さにかけての範囲と、この表面よりも低い所定の深さにかけての範囲との両方にわたって形成されている。また、分離絶縁物層31、41の下面に接する部分には、P型ウエル2の表面にボロンイオンを注入し、P型不純物を追加して添加することによって形成した、P型ウエル2よりも高い濃度でP型不純物を含むチャンネルストップ層32、42が形成されている。この内の、特に、半導体基板1の表面から所定の深さの範囲にわたって形成された部分の分離絶縁物層31、41と、チャンネルストップ層32、42との効果によって、2つのN型の拡散層6の相互間は電氣的に分離されている。すなわち、N型の拡散層6それぞれに接続される、図示しない電極相互間に通常の動作範囲の電圧が印加されても、分離領域3によって分離されたN型の拡散層6相互間にリーク電流が流れない、非導通状態にある。一方、電極相互間に所定の過電圧が印加されると、正の電圧が印加された側のN型拡散層6と低耐圧領域5との間のPN接合が降伏し、電極相互間に電流が流れ始める。この電流は、正の電圧が印加された側の電極から、この電極が接続されたN型拡散層6を通して低耐圧領域5内に入り、分離領域3の分離絶縁物層31の下で低耐圧領域5を経て、反対側のN型拡散層6を通して、負の電圧が印加された側の電極に到達する。この電流によって、逆方向に、すなわち、負の電圧が印加された側の電極から、その電極が接続されたN型拡散層6、分離絶縁物層31下の低耐圧領域5、反対側のN型拡散層6を通して、正の電圧が印加された側の電極に向かう電子流が生成される。この電子流からの力を受けて、負の電圧が印加された側の電極内に含まれるアルミニウムが流動し、その電極が接続された側のN型拡散層6を経て、分離絶縁物層31下の低耐圧領域5内に侵入する。この時点で、負の電圧が印加される側の電極に接続されたN型拡散層6と低耐圧領域5との間のPN接合は恒久的に破壊される。さらに、分離絶縁物層31下の低耐圧領域5内に侵入したアルミニウムが、反対側のN型拡散層6にまで到達した時点で、反対側のN型拡散層6と低耐圧領域5との間のPN

接合も恒久的に破壊される。すなわち、過電圧の印加を停止しても、過電圧印加前の非導通状態には戻らず、通常の動作範囲の電圧を電極相互間に印加すると電極間に電流が流れる、導通状態を維持する。なお、実際には過電圧の印加がさらに継続されることにより、ついには、負の電圧が印加された側の電極から侵入したアルミニウムと、そのアルミニウムが侵入したN型拡散層 6 および低耐圧領域 5 のシリコンとが反応して形成された導電性のフィラメントによって、2つの電極間が相互に接続された状態になる。これにより、電極間の抵抗が例えば100Ω以下と極めて低い、導通状態が達成される。

#### 【0022】

このように、分離領域 3 の両側に2つのN型拡散層 6 を設け、これらのN型拡散層 6 にアルミニウムを含む電極を接続することにより、初期状態においてはリーク電流が流れない非導通状態を有し、過電圧の印加によって恒久的な導通状態に変化させることができる、アンチヒューズ素子として動作させることができる。

#### 【0023】

これに対して、特許文献 2 に開示された構造では、2つの拡散領域が、素子分離領域によって分離されることなく、半導体基板上に隣接して形成されているため、初期状態でその間にリーク電流が流れる。このため、現実にはアンチヒューズとして機能しない。なお、特許文献 2 の F i g . 2 に示された厚い酸化物層 5 0 は、単に、拡散領域 4 2 , 4 4 が形成された半導体基板 4 6 の表面を保護し、半導体基板と配線との間を絶縁するものであり、2つの拡散領域 4 2 , 4 4 の間の分離を行う分離絶縁物層としての機能は持たない。構造的には、単に、半導体基板 4 6 の表面上に、その表面からそれよりも高い位置にかけて形成されているだけであり、表面から所定の深さにわたって形成された部分を持たない。また、チャンネルストップ層も形成されていない。

#### 【0024】

なお、以上の説明は低耐圧領域 5 を形成した場合について行ったが、低耐圧領域 5 を形成しない場合においても動作は基本的に同一である。すなわち、過電圧の印加によって、正の電圧を印加した側のN型拡散領域 6 とN型ウェル 2 との

間のPN接合が降伏し、電流が流れ、この電流によって生成された電子流からの力を受けて、負の電圧が印加された側の電極内に含まれるアルミニウムが流動し、その電極が接続された側のN型拡散層6を経て、分離絶縁物層31下のP型ウエル2内に侵入し、接合を恒久的に破壊する。いずれの場合でも、電極相互間に過電圧を印加し、一方の電極に含まれるアルミニウムを、この電極が接続されるN型拡散層6を経て、分離領域を跨いだ素子形成領域に侵入させることによって、アンチヒューズ素子を非導通状態から恒久的な導通状態に変化させる。

#### 【0025】

本実施形態の半導体装置では、P型ウエル2内にN型の拡散層6を形成することによってアンチヒューズ素子が形成されている。しかし、N型ウエル内にP型拡散層を形成することもできる。ウエルを形成せずに、例えばP型半導体基板の表面領域をそのまま素子形成領域として、アンチヒューズ素子を形成することも可能である。また、第1および第2の分離領域の形成は、シリコン基板表面を局所的に酸化するLOCOS法に限定する必要はない。例えば、半導体基板の表面を所定の深さまでエッチングしてトレンチを形成し、このトレンチ内にシリコン酸化膜等の絶縁物を埋め込んで分離絶縁物層とする、周知のSTI (Shallow Trench Isolation) 法などを用いることもできる。この場合には、半導体基板の表面から所定の深さの範囲のみに分離絶縁物層が形成される。

#### 【0026】

図2は、本実施形態の半導体装置のうちのアンチヒューズ素子が形成された部分を示す概略平面構成図である。

#### 【0027】

図2に平面を示すように、P型ウエルの低耐圧領域5内に、2つのN型の拡散層6が形成されている。低耐圧領域5の周囲、および、低耐圧領域5内の、N型拡散層6以外の部分は素子分離領域であり、図示しない分離絶縁物層およびチャネルストップ層が形成されている。N型の拡散層6は、図示しない層間絶縁膜で覆われており、その層間絶縁膜には、N型の拡散層6それぞれに電極を接続するための、N型の拡散層6の領域よりも小さな寸法のコンタクトホール7が2つ形

成されている。そして、それぞれのコンタクトホール7には、アルミニウム合金膜からなる電極とが形成され、それらの電極は、図示しない層間絶縁膜の上に形成された同じアルミニウム合金膜からなる配線8に接続されている。

#### 【0028】

ここで、本実施形態の半導体装置は、図示しない分離領域により分離されたN型の拡散層6相互間の距離(a)は、 $1.0\mu\text{m}$ 、N型の拡散層6のサイズは、 $3.4\mu\text{m}$ (b)  $\times$   $4.0\mu\text{m}$ (c)、コンタクトホール7のサイズは、 $1.4\mu\text{m} \times 1.4\mu\text{m}$ (e)に設定されている。また、N型の拡散層6の外周から低耐圧領域5の外周までの距離は、デザインルールでは0に設定されているが、図2に示した例では、さらに余裕を持たせて、低耐圧領域5を大きくしてある。これらの寸法はデザインルールによって決まるものであり、ここで例示した値に限定されないことは言うまでもない。

#### 【0029】

次に、本実施形態の半導体装置のアンチヒューズ素子と、トランジスタ素子により形成されるアンチヒューズ素子の書き込み回路とを有する1ビットの記憶回路、およびその1ビットの記憶回路の論理状態に応じて動作状態が変化する内部回路について説明する。

#### 【0030】

図3は、本実施形態の半導体装置の一部をなす、アンチヒューズ素子と、そのアンチヒューズ素子を恒久的な導通状態に変化させる書き込み回路を構成する、トランジスタ素子とを有する1ビットの記憶回路の一例を示す図である。

#### 【0031】

図3に示す本実施形態の半導体装置の一部をなす1ビットの記憶回路10は、P型MOSトランジスタ11および電圧調整用の抵抗12からなる書き込み回路13と、書き込み回路13から電極相互間に高電圧が印加されることにより、電極相互間が非導通状態から導通状態に変化するアンチヒューズ素子14と、P型MOSトランジスタ15およびN型MOSトランジスタ16からなるインバータ17、並びに電圧調整用の抵抗18からなる読み出し回路19と、書き込み用電源端子Vdd1、および入力端子Aと、読み出し回路用の電源端子VDD、接地

端子GNDと、および出力端子OUTとを備えている。

### 【0032】

書込用電源端子Vdd1は、例えば8Vの書込用高圧電源に接続される端子であり、P型MOSトランジスタ11のソース電極に接続される。入力端子Aは書込情報が入力される端子であり、P型MOSトランジスタ11のゲート電極に接続される。また、書込用電源Vdd1と入力端子Aとの間には、電圧調整用の抵抗12が接続される。P型MOSトランジスタ11のドレイン電極は、アンチヒューズ素子14の一方の電極と、インバータ17を構成するP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極に接続される。アンチヒューズ素子14の他方の電極はGNDに接続される。さらに、インバータ17を形成するP型MOSトランジスタ15のソース電極は、電源端子VDDに接続されるとともに、N型MOSトランジスタ16のソース電極は接地端子GNDに接続され、電源端子VDDとP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極との間には、電圧調整用の抵抗18が接続されている。そして、P型MOSトランジスタ15およびN型MOSトランジスタ16双方のドレイン電極は、出力端子OUTに接続されている。読み出し回路用の電源端子VDDは、例えば5V、もしくは3.3Vの内部回路用電源に接続される。

### 【0033】

この1ビットの記憶回路10の書き込み用電源端子Vdd1に書き込み用の高電圧を供給した状態で、入力端子Aに論理「1」が入力されると、書き込み回路13のP型MOSトランジスタ11は、OFF状態となり、アンチヒューズ素子14は、高電圧が印加されないため非導通状態が維持される。また、入力端子Aに論理「0」が入力されると、P型MOSトランジスタ11は、ON状態となり、アンチヒューズ素子14は、高電圧が印加されるため導通状態にプログラムされる。

### 【0034】

一方、読み出し回路19においては、書込用電源端子Vdd1が開放された後に、アンチヒューズ素子14が非導通状態のときは、インバータ17を形成する

P型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極は、アンチヒューズ素子14により接地端子GNDに短絡されず、ハイレベルとなるため、出力端子OUTから論理「0」が出力される。また、アンチヒューズ素子14が導通状態のときは、インバータ17を形成するP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極は、アンチヒューズ素子14により接地端子GNDに短絡され、ローレベルとなるため、出力端子OUTから論理「1」が出力される。

#### 【0035】

図4は、本実施形態の半導体装置の一部をなし、1ビットの記憶回路の論理状態に応じて動作状態が変化する内部回路の一例を示す図である。

#### 【0036】

図4に示す内部回路20は、P型MOSトランジスタ21およびN型MOSトランジスタ22からなる複数のインバータ23と、複数のコンデンサ25と、複数のN型MOSトランジスタ24とにより形成されている。

#### 【0037】

各インバータ23を構成するP型MOSトランジスタ21のソース電極に電源端子VDDが接続され、N型MOSトランジスタ22のソース電極に接地端子GNDが接続され、ゲート電極に、図3で説明した1ビットの記憶回路10の出力端子OUTがそれぞれ接続される。P型MOSトランジスタ21およびN型MOSトランジスタ22双方のドレイン電極はN型MOSトランジスタ24のゲート電極に接続される。そして、N型MOSトランジスタ24の各ドレイン電極は、容量ノード30に各コンデンサ25を介して接続され、各N型MOSトランジスタ24のソース電極は、接地端子GNDに接続される。電源端子VDDは、例えば、1ビットの記憶回路10の読み出し回路19と共通の、内部回路用電源に接続する。

#### 【0038】

1ビットの記憶回路10の出力端子OUTから論理「1」が出力されると、内部回路20のインバータ23から出力される、N型MOSトランジスタ24のゲート電極に接続されたノードBの論理が「0」となるので、N型MOSトランジ



スタ 24 は OFF となり、コンデンサ 25 の容量は容量ノード 30 に付加されない。

#### 【0039】

一方、1 ビットの記憶回路 10 の出力端子 OUT から論理「0」が出力されると、内部回路 20 のインバータ 23 から出力される、N 型 MOS トランジスタ 24 のゲート電極に接続されたノード B の論理が「1」となるので、N 型 MOS トランジスタ 24 は ON となり、コンデンサ 25 の容量が容量ノード 30 に付加される。

#### 【0040】

このように、本実施形態の半導体装置は、1 ビットの記憶回路 10 の中から必要なものを選択し、その記憶回路 10 にそれぞれに組み込まれたアンチヒューズ素子 14 を導通状態にプログラムすることにより、内部回路 20 を所望の動作状態に設定することができる。すなわち、この例では、容量ノード 30 の容量値を所望の値に設定することができる。この設定された容量値を用いて、例えば、同じ半導体装置に組み込まれている、発振回路の発振周波数を所望の値に調整することができる。

#### 【0041】

次に、本発明の半導体装置の製造方法の実施形態について説明する。

図 5 ～ 図 10 は、本実施形態の半導体装置を 1  $\mu$  m プロセスを用いて製造する工程の概略図である。

#### 【0042】

先ず、図 5 に示すように、P 型のシリコン基板 1 の表面層に、ボロンなどの P 型不純物をイオン注入法などにより添加した P 型のウエル 2 と、リンや砒素などの N 型不純物をイオン注入法などにより添加した N 型のウエル 3 2 とが形成される。

#### 【0043】

次に、図 6 に示すように、P 型のウエル 2、および N 型のウエル 3 2 の表面に、公知の LOCOS 法により分離領域 3、4 が複数形成される。この時、例えば、耐酸化膜として利用するシリコン窒化膜のパターニングを行った後に、シリコ

ン窒化膜が除去された開口部にボロンをイオン注入してから選択酸化を行うことにより、分離領域 3, 4 に形成される分離絶縁物層 3 1, 4 1 の底面に接する部分にチャネルストップ層 3 2, 4 2 が形成される。

#### 【0044】

ここで、分離領域には、アンチヒューズ素子の拡散層相互間を分離する第 1 の分離領域 3 と、書き込み回路や内部回路を構成する複数のトランジスタ素子の相互間、および、アンチヒューズ素子とトランジスタ素子との間を分離する第 2 の分離領域 4 とがある。第 1 の分離領域 3 と第 2 の分離領域 4 とは同時に形成することができる。すなわち、アンチヒューズ素子を構成する分離領域 3 を形成するために、新たな工程を追加する必要は無い。具体的には、第 1 および第 2 の分離領域の両方に開口部を有するようにパターンニングしたシリコン窒化膜を耐酸化膜として利用して選択酸化を行うことにより、第 1 の分離領域 3 の分離絶縁物層 3 1 と第 2 の分離領域の分離絶縁物層 4 2 とを同時に形成する。従って、第 1 の分離絶縁物層 3 1 と第 2 の分離絶縁物層 4 2 とは同一の膜厚を有する。すなわち、いずれの分離絶縁物層も、半導体基板の表面から同一の所定深さにわたって形成される。厳密には、LOCOS 法によって形成されるシリコン酸化膜の膜厚は、耐酸化膜の開口部の寸法が小さくなった場合には薄くなるため、分離領域の寸法によって、所定深さが異なる場合がある。同様に、STI 法によって分離領域を形成する場合であっても、分離領域の寸法によって形成されるトレンチの深さが厳密には異なり、この結果、分離絶縁物層が形成される所定深さに差が発生する。しかし、このような製造プロセスに起因する差を無視すれば、同時に形成される第 1 および第 2 の分離領域の分離絶縁物層が形成される所定深さは同一であると見なすことができる。

#### 【0045】

なお、図 6 に示すように、第 2 の分離領域 4 は、P 型ウエル 2 内のみではなく、P 型ウエル 2 と N 型ウエル 3 2 との境界領域にも形成される。さらに、図示は省略するが、N 型ウエル 3 2 内にも、第 2 の分離領域が形成される。これらの第 1 および第 2 の分離領域 3, 4 は、全て、同時に形成することができる。

#### 【0046】

また、第1の分離領域3のチャネルストップ層32と第2の分離領域4のチャネルストップ層42も、同時に形成される。従って、この段階ではいずれもチャネルストップ層も同一の濃度でボロン等のP型不純物を含む。ただし、後から説明するEP領域を形成した後の状態では、第1の分離領域にさらにP型不純物が追加して添加されるため、第1の分離領域に形成されるチャネルストップ層32の方が、第2の分離領域に形成されるチャネルストップ層42に比較して高い濃度でP型不純物を含む。

#### 【0047】

次に、図7に示すように、アンチヒューズ素子を形成する第1の分離領域3の両側に配置された第2の分離領域4相互間の範囲のP型ウエル2の表面に、ボロンイオンを追加注入する。これにより低耐圧領域5（EP領域）を設ける。

#### 【0048】

低耐圧領域（EP領域）5は、一例としては、加速エネルギー40keV、ドーズ量 $2.5 \times 10^{14} \text{ cm}^{-2}$ でボロンを注入することにより形成することができる。低耐圧領域（EP領域）形成のための注入は分離絶縁物層31、41形成のための選択酸化の前に行うことも可能である。

#### 【0049】

次に、図8に示すように、P型ウエル2およびN型ウエル32の表面に、例えば熱酸化によってゲート絶縁膜38を形成し、その上の全面に多結晶シリコン膜を堆積し、パターニングすることにより、トランジスタ素子のゲート電極40を形成する。図示は省略するが、N型ウエル32の表面上にもゲート電極が形成される。P型ウエル2上に形成されたゲート電極40は、N型MOSトランジスタのゲート電極40となり、N型ウエル32上に形成されたゲート電極はP型MOSトランジスタのゲート電極となる。

#### 【0050】

次に、図9に示すように、第1の分離領域3の両側の低耐圧領域5の表面に砒素イオンを注入し、アンチヒューズ素子48の不純物濃度の高いN型拡散層6を形成する。この時、同時に、P型ウエル2上に形成されたゲート電極40の両側にも、ヒ素を注入し、N型MOSトランジスタ50のソース、ドレイン拡散層4

4を形成する。すなわち、アンチヒューズ素子48のN型拡散層6を形成するために新たな工程を追加する必要はない。ここで、N型MOSトランジスタのソース、ドレイン拡散層44は、アンチヒューズ素子48のN型拡散層6と同時に、すなわち、同一のイオン注入条件で形成される。従ってこの両者は、同一の不純物を同一の濃度で含む、同一の深さを有する拡散層となる。また、P型ウエル2上に形成された所定の第2の分領域4相互間には、例えばボロンイオンを注入し、不純物濃度の高いP型拡散層36を形成する。

#### 【0051】

このP型拡散層36は、P型ウエル2に所定の電位を供給するための電極を接続するために利用される。また、図示は省略するが、N型ウエル32上に形成されたゲート電極の両側にも、P型拡散層36の形成と同時に、P型のソース、ドレイン拡散層が形成される。

#### 【0052】

ここで、N型拡散層6は、加速エネルギー70keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で砒素イオンが注入されることにより形成される。

#### 【0053】

さらに、図10に示すように、アンチヒューズ素子48が形成される2つのN型拡散層6に接続するアルミニウム合金からなる電極を形成する。その一方は、図3の回路においてGNDに接続されるカソード電極33に、他方はアノード電極34となる。同様に、P型拡散層36に接続する電極35も形成される。この電極35は、アンチヒューズ素子48が形成されたP型ウエル2にGND電位を供給するために利用される。また、図10では省略されているが、同時に、同一の半導体基板上に形成されるN型およびP型MOSトランジスタのソース、ドレイン拡散層およびゲート電極にもアルミニウム合金からなる電極が形成される。

#### 【0054】

電極の形成は、例えば、図9に示された状態の半導体基板1上の全面に絶縁層（層間絶縁膜）を形成し、電極を形成すべき位置に、その底面に拡散層を露出するコンタクトホールを開口し、この層間絶縁膜上、およびコンタクトホール内に

アルミニウム合金の膜を堆積し、パターニングを行う、公知の方法で行うことができる。この時、同時に、層間絶縁膜上においては、素子間を相互に接続する配線が形成される。

#### 【0055】

以上述べた、本実施形態の半導体装置の製造方法に用いる工程は、低耐圧領域5を形成するためのイオン注入工程を除けば、従来の、アンチヒューズ素子を持たない、通常のCMOS半導体装置を製造する場合の工程と同一である。従って、アンチヒューズ素子を持たない通常の半導体装置と比較して、ほとんど同一の製造コストで、安価に製造することができる。

#### 【0056】

なお、前述のように、書き込み回路を構成するトランジスタ素子をアンチヒューズ素子製造に使用するプロセスとは異なる製造プロセスで形成することにより、低耐圧領域形成を不要とすることも可能である。

#### 【0057】

上述した本実施形態の、1 $\mu$ mプロセスで製造した、図3に示す平面寸法を有するアンチヒューズ素子14の特性を測定したところ、以下の結果が得られた。

#### 【0058】

電極33，34相互間を恒久的な導通状態にする破壊電圧は、8V

破壊前の抵抗は、100G $\Omega$ 程度

破壊後の抵抗は、100 $\Omega$ 以下

初期歩留まりは、100%（判定条件：抵抗>1G $\Omega$ ）

破壊歩留まりは、100%（判定条件：抵抗<1G $\Omega$ ）

したがって、本実施形態の製造方法で製造されたアンチヒューズ素子48は、初期状態においてはリークもなく、非導通状態であり、かつ、過電圧の印加により、確実に極めて低い抵抗を有する導通状態に変化することが確認された。

#### 【0059】

これに対して、特許文献2に示されたように、分離領域を形成せずに2つの拡散層を配置した素子では、拡散層間の距離を図2に示す例の2倍に広げた場合であっても、処理歩留りが0であり、アンチヒューズ素子としては動作しないこと

が確認された。

#### 【0060】

本実施形態の製造方法は、 $1\mu\text{m}$ プロセスに基づいて説明した。しかし、上述した工程については、 $1.0\mu\text{m}$ 未満のデザインルールのプロセスにおいても同様に適用可能であり、同様の特性を得ることができた。

#### 【0061】

ただし、電極の形成方法および構造は、プロセスルールに応じて変更する必要がある。上記の $1\mu\text{m}$ プロセスでは、底面に拡散層を露出するコンタクトホール内に、AlSi合金膜を堆積し、パターニングすることによって電極および配線を形成した。しかし、微細化が進んだ半導体装置においては、AlSi合金を使用して微細な配線を形成した場合、AlSi合金中に含まれるSiが析出してノジュールを形成するため、エレクトロマイグレーションに対する信頼性が低下する。このため、 $0.8\mu\text{m}$ 以下のプロセスにおいては、例えば、シリコンを含まず、銅を0.5wt%添加した、アルミニウム合金（以下、AlCu合金と表記）を利用する。また、コンタクトホールの微細化が進むと、コンタクトホール内にアルミニウム合金膜を堆積することが困難になる。このため、コンタクトホールの底面および側面に窒化チタン等からなる密着層を形成し、この密着層上に、CVD法で、コンタクトホールを埋め込むようにタングステン膜を堆積し、エッチバックを行うことによって、コンタクトホールを埋め込むプラグを形成してから、このプラグ上から層間絶縁膜上にかけてAlCu合金膜からなる電極および配線を形成し、プラグを介して対応する拡散層に接続する構造が採用される。

#### 【0062】

しかし、アンチヒューズ素子においては、コンタクトホールにタングステンプラグを埋め込むと、分離絶縁物層下の素子形成領域に侵入させて接合を破壊する金属であるアルミニウムを含む電極と、侵入の経路となる拡散層との間にタングステンプラグが存在することになる。従って、過電圧を印加して電子流を生成した場合であっても、アルミニウムの流動がタングステンプラグによって遮られ、半導体基板上の素子形成領域にアルミニウムを侵入させることができない。

#### 【0063】

したがって、アンチヒューズに電極を接続するためのコンタクトホールを、トランジスタ素子等の通常の素子に電極を接続するためのコンタクトホールよりも大きな寸法に開口し、通常の素子のコンタクトホールでは埋め込むように、アンチヒューズ素子用のコンタクトホールでは中央部に窪みができるようにタングステン膜を堆積し、エッチバックを行うことにより、通常の素子のコンタクトホールにはプラグを形成し、アンチヒューズ用のコンタクトホールでは底面の密着層を露出し、アンチヒューズ素子の拡散層には、この露出した密着層を介して、AlCu合金膜からなる電極を接続する方法が採用できる。この場合にも、AlCu合金からなる電極と拡散層との間に存在する密着層が、アルミニウムの侵入を阻害することが危惧されたが、本願発明者による検討によって、AlSi合金膜からなる電極を拡散層に直接接続した場合と同様の過電圧印加によって書き込み可能であることが確認されている。

#### 【0064】

通常、アンチヒューズ素子の2つの拡散層には、同一の材料を用いて形成した電極が接続される。しかし、接合を破壊する金属を供給するのはカソード側の電極であるため、例えば、カソード側には、上記のように、AlCu合金膜からなる電極を密着層を介して接続し、アノード側には、タングステンプラグを介して接続することも可能である。

#### 【0065】

図9に示した例では、同一のP型ウェル2内に、アンチヒューズ素子48およびN型MOSトランジスタ素子50が形成されている。すなわち、同一のP型ウェル2内の、一部の領域がアンチヒューズ素子48を形成するための素子形成領域として利用され、他の一部の領域がN型MOSトランジスタ素子50を形成するための素子形成領域として利用されている。しかし、アンチヒューズ素子48を形成するためのP型ウェルとは別に、N型MOSトランジスタ素子50を形成するためのPウェルを形成し、それぞれのPウェルを、それぞれの素子を形成するための素子形成領域として利用することも可能である。

#### 【0066】

アンチヒューズ素子の素子形成領域の分離絶縁層下の部分に侵入させ、接合を

破壊する金属としては、アルミニウムの他に、例えば、特許文献 1 に開示されたように、チタンなどのシリサイドを形成する金属や、金、銅、銀などを利用することができる。これらの金属の純粋な膜を使って電極を形成することもできるし、これらの金属を主成分とする様々な合金の膜を使って電極を形成することもできる。さらに、過電圧印加時のこれらの金属の移動を阻害しない範囲で、これ以外の材料の膜と積層した構造の電極を形成することも可能である。

#### 【0067】

##### 【発明の効果】

以上、説明したように、本発明の半導体装置によれば、拡散層間に分離領域を設けることにより、初期状態においてはリークのない非導通状態であり、単純な構成の書き込み回路を用いて、2つの電極間に過電圧を印加することのみによって導通状態に書き込むことが可能なアンチヒューズ素子を得ることができる。また本発明の半導体装置の製造方法によれば、そのようなアンチヒューズ素子を含む半導体装置を通常の、アンチヒューズ素子を持たない半導体装置とほとんど同一の工程で製造することができる。

##### 【図面の簡単な説明】

#### 【図 1】

本実施形態の半導体装置のうちのアンチヒューズ素子が形成された部分を示す概略構成図である。

#### 【図 2】

本実施形態の半導体装置のうちのアンチヒューズ素子が形成された部分を示す概略構成図である。

#### 【図 3】

本実施形態の半導体装置の一部をなす、アンチヒューズ素子と、そのアンチヒューズ素子を恒久的な導通状態に変化させる書き込み回路を構成するトランジスタ素子とを有する 1 ビットの記憶回路の一例を示す図である。

#### 【図 4】

本実施形態の半導体装置の一部をなし、1 ビットの記憶回路の論理状態に応じて動作状態が変化する内部回路の一例を示す図である。



**【図 5】**

本実施形態の半導体装置の製造方法のうち一例として示す、1  $\mu$  m プロセスの概略図である。

**【図 6】**

本実施形態の半導体装置の製造方法のうち一例として示す、1  $\mu$  m プロセスの概略図である。

**【図 7】**

本実施形態の半導体装置の製造方法のうち一例として示す、1  $\mu$  m プロセスの概略図である。

**【図 8】**

本実施形態の半導体装置の製造方法のうち一例として示す、1  $\mu$  m プロセスの概略図である。

**【図 9】**

本実施形態の半導体装置の製造方法のうち一例として示す、1  $\mu$  m プロセスの概略図である。

**【図 1 0】**

本実施形態の半導体装置の製造方法のうち一例として示す、1  $\mu$  m プロセスの概略図である。

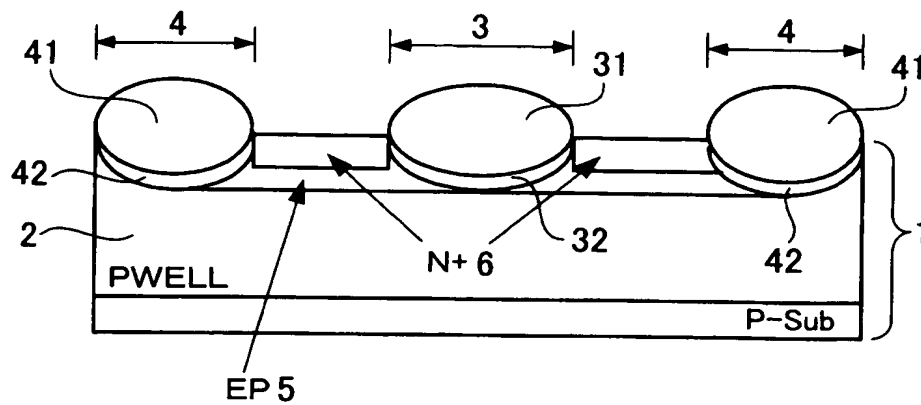
**【符号の説明】**

- 1 シリコン基板
- 2 P 型のウエル
- 3 第 1 の分離領域
- 4 第 2 の分離領域
- 5 低耐圧領域
- 6 N 型の拡散層
- 7 コンタクトホール
- 8 配線
- 1 0 1 ビットの記憶回路
- 1 1, 1 5, 2 1 P 型 MOS トランジスタ

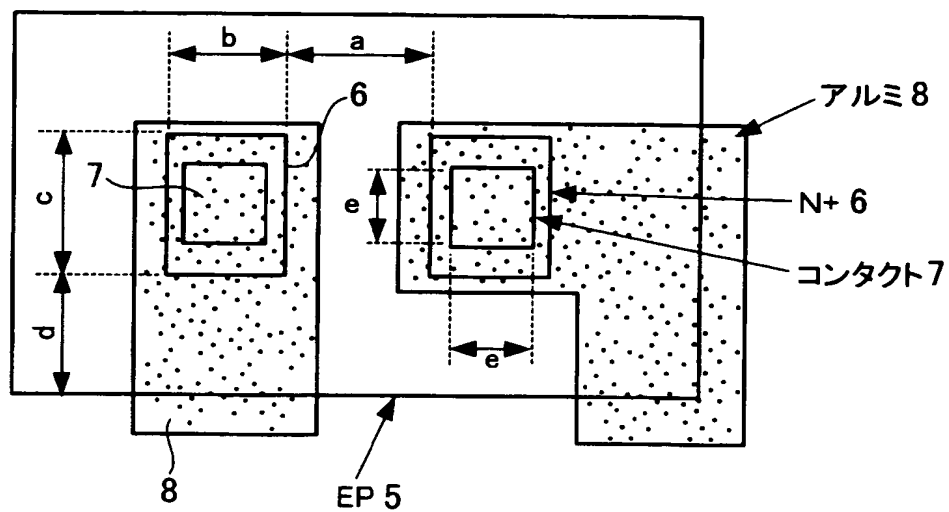
- 1 2, 1 8 電圧調整用の抵抗
- 1 3 書き込み回路
- 1 4 アンチヒューズ素子
- 1 6, 2 2, 2 4 N型のMOSトランジスタ
- 1 7, 2 3 インバータ
- 1 9 読み出し回路
- 2 0 内部回路
- 2 5 コンデンサ
- 3 0 容量ノード
- 3 1, 4 1 分離絶縁物層
- 3 2 N型のウエル
- 3 3 カソード用電極
- 3 4 アノード用電極
- 3 5 トランジスタ用の電極
- 3 6 P型の拡散層
- 4 2 チャネルストップ層

【書類名】 図面

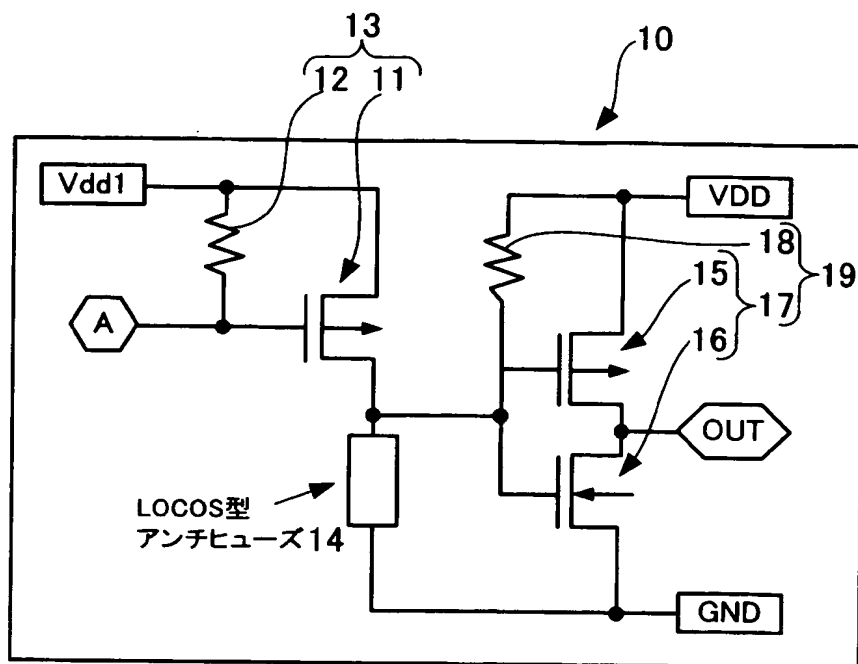
【図 1】



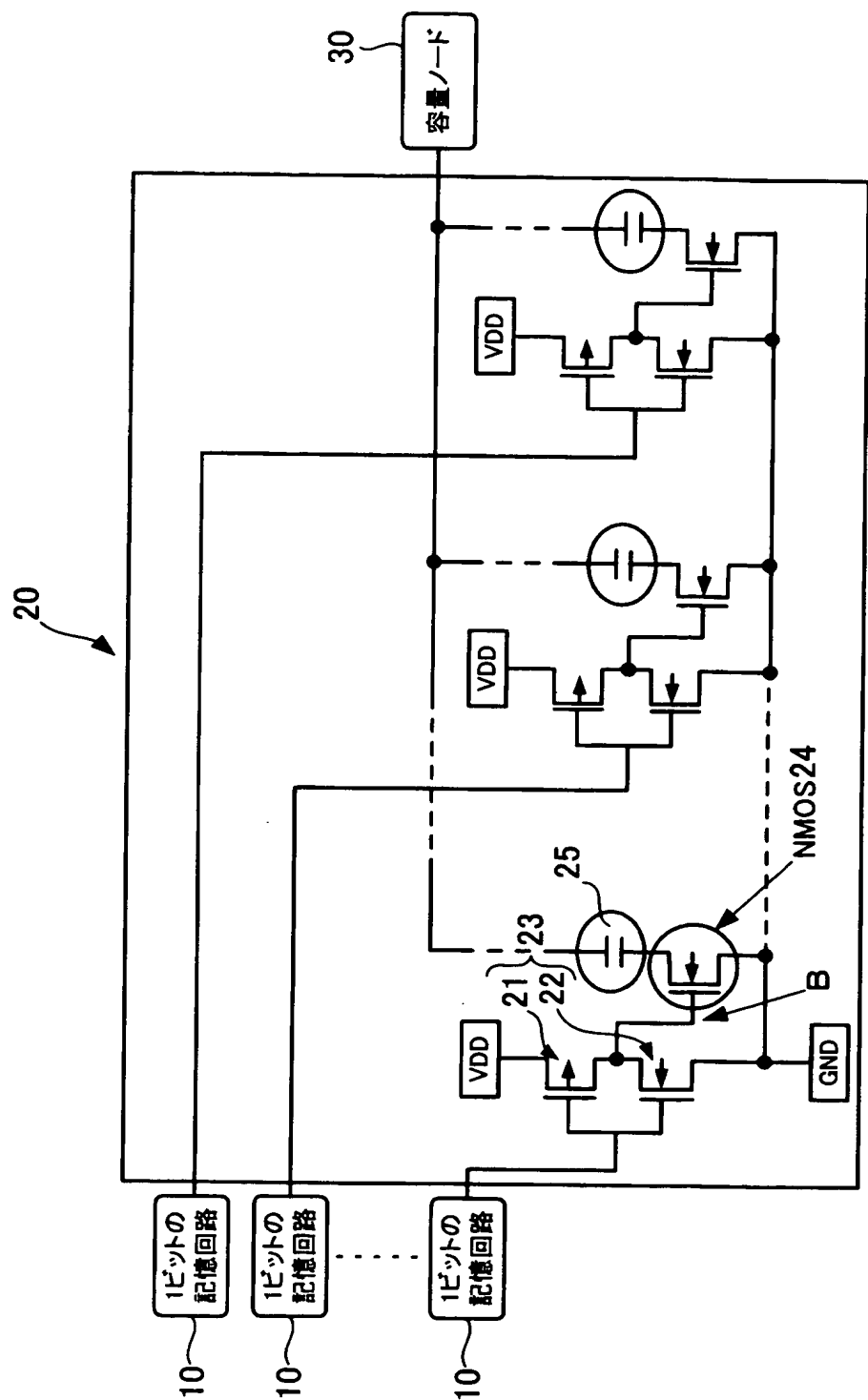
【図 2】



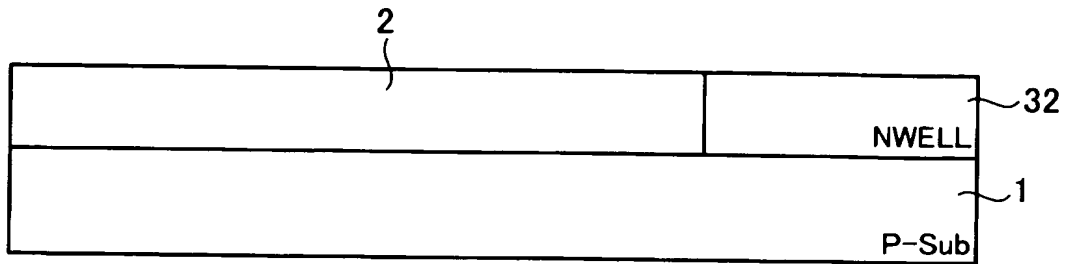
【図 3】



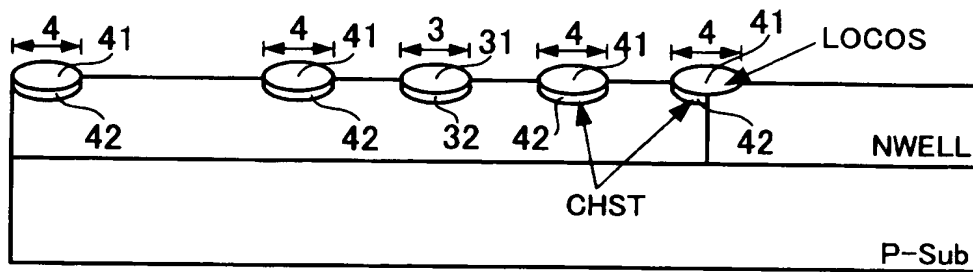
【図 4】



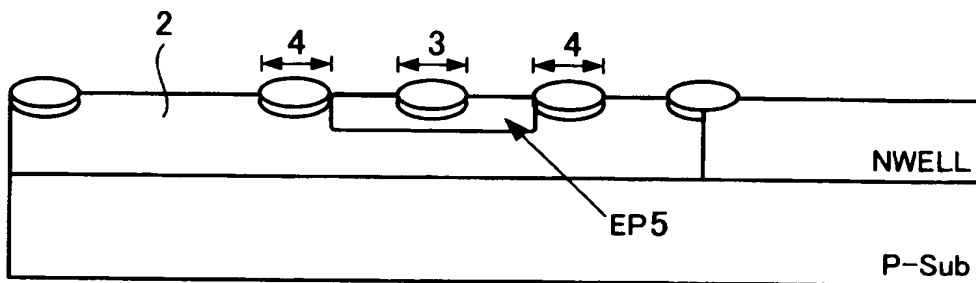
【図 5】



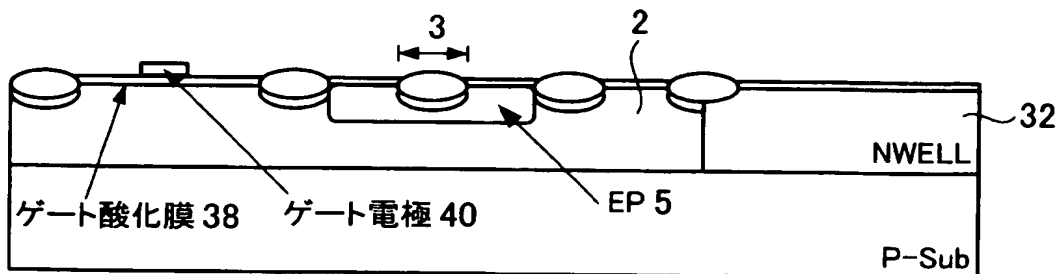
【図 6】



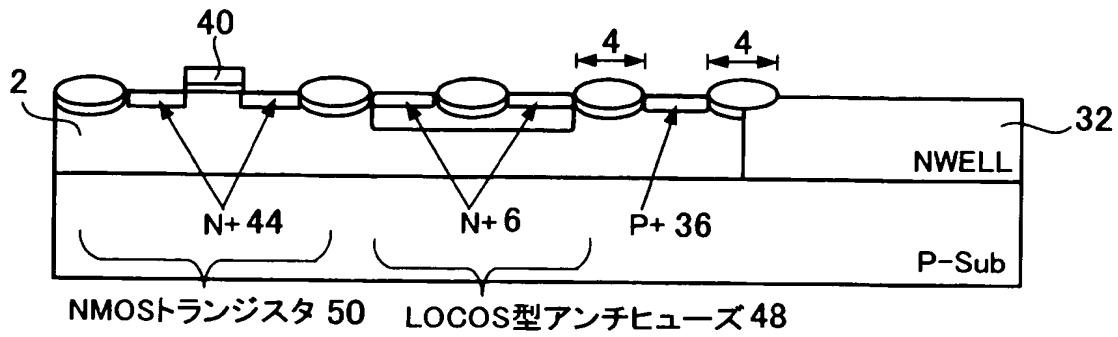
【図 7】



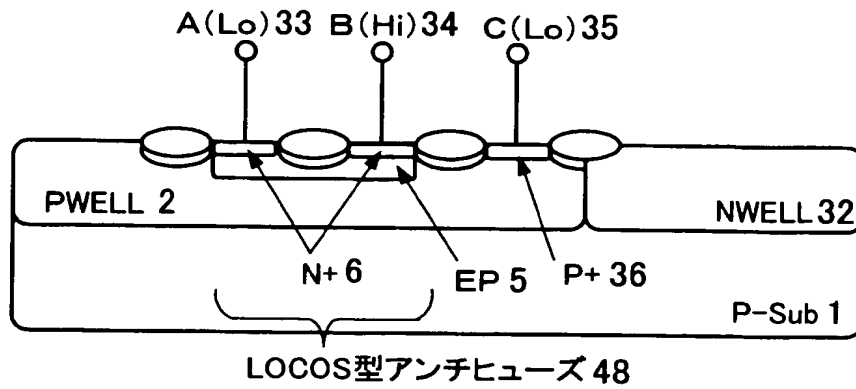
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 初期状態においてリークがなく、かつ、単純な書き込み回路で導通状態に書き込むことができるアンチヒューズ素子が搭載された半導体装置、およびその製造方法を提供する。

【解決手段】 半導体基板 1 上の素子形成領域内に、分散絶縁物層からなる分離領域 3 を形成するとともにこの分離領域 3 の両側にそれぞれの拡散層 6 を形成し、それぞれに電極を接続し、アンチヒューズ素子とする。

【選択図】 図 1



特願 2 0 0 3 - 0 3 6 8 4 7

出 願 人 履 歴 情 報

識別番号

[ 5 0 1 2 8 5 1 3 3 ]

1 . 変 更 年 月 日

2 0 0 1 年    7 月 1 7 日

[ 変 更 理 由 ]

新 規 登 録

住    所

千 葉 県 千 葉 市 美 浜 区 中 瀬 一 丁 目 3 番 地

氏    名

川 崎 マ イ ク ロ エ レ ク ト ロ ニ ク ス 株 式 会 社